

CLIPPEDIMAGE= JP406177323A

PAT-NO: JP406177323A

DOCUMENT-IDENTIFIER: JP 06177323 A

TITLE: SEMICONDUCTOR CIRCUIT DEVICE

PUBN-DATE: June 24, 1994

INVENTOR-INFORMATION:

NAME

YAMASHITA, SHINICHI

ASSIGNEE-INFORMATION:

NAME

NIPPON CHEMICON CORP

COUNTRY

N/A

APPL-NO: JP04349823

APPL-DATE: December 2, 1992

INT-CL (IPC): H01L025/10;H01L025/11 ;H01L025/18

US-CL-CURRENT: 257/777

ABSTRACT:

PURPOSE: To reduce the area occupied by a semiconductor circuit element on a printed board in a semiconductor circuit device.

CONSTITUTION: A first semiconductor circuit element 1 wherein leading-out electrodes are formed on the rear of the element is fixed on a printed board 3 by flip chip bonding, and encapsulated with sealing resin 6. A flat part is formed on the top part of the sealing resin 6. A second semiconductor circuit element 2 is mounted on the flat part, and electrically connected with a circuit pattern 8 on the printed board 3 by a wire bonding method.

COPYRIGHT: (C) 1994, JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-177323

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/10

25/11

25/18

H 0 1 L 25/ 14

Z

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-349823

(22)出願日 平成4年(1992)12月2日

(71)出願人 000228578

日本ケミコン株式会社

東京都青梅市東青梅1丁目167番地の1

(72)発明者 山下 伸一

東京都青梅市東青梅1丁目167番地の1

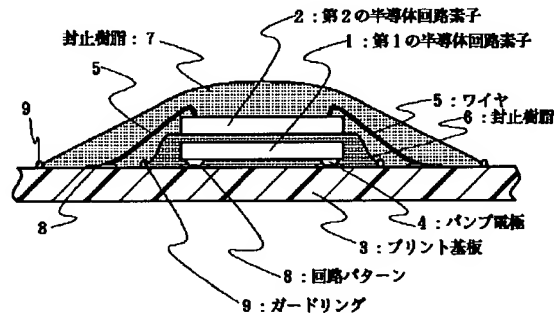
日本ケミコン株式会社内

(54)【発明の名称】 半導体回路装置

(57)【要約】

【目的】 半導体回路装置で半導体回路素子のプリント基板での占有面積を小さくする。

【構成】 半導体回路素子の下面に引出し用の電極が形成された第1の半導体回路素子1をプリント基板3にフリップチップ方式により取り付け、その第1の半導体回路素子1を封止樹脂6にて封止する。封止樹脂6の頂上部分に平坦部を形成し、その平坦部に第2の半導体回路素子2を実装するとともに、プリント基板3上の回路パターン8とはワイヤボンディング法により電氣的に接続した。



【特許請求の範囲】

【請求項1】 半導体回路素子の下面に引出し用電極が形成された第1の半導体回路素子をプリント基板に実装し、前記引出し用電極と前記プリント基板の回路パターンをワイヤレスボンディング法により接続するとともに、前記第1の半導体回路素子の上に絶縁部材を介して第2の半導体回路素子を実装し、前記第2の半導体回路素子の引出し用電極と前記プリント基板の回路パターンを導電性のワイヤで接続するワイヤボンディング法にて接続したことを特徴とする半導体回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体回路装置、特に半導体回路素子を2個用いた半導体回路装置の構造に関する。

【0002】

【従来の技術】半導体回路素子をプリント基板に直接実装したチップオンボードが従来より知られている。そして、半導体回路素子の電極とプリント基板の回路パターンの接続する方法としてはワイヤボンディング方式やフリップチップ方式が提案されている。

【0003】このうちワイヤボンディング方式による接合は、図3に示すように、プリント基板3の所定位置に半導体回路素子11を実装し、プリント基板3上の半導体回路素子11の周囲に配設された回路パターン8と半導体回路素子11の上に形成されている電極を、金やアルミニウム等のワイヤ5で接続するものである。

【0004】また、フリップチップ方式による接合は、図4に示すように、半導体回路素子11の電極の上に半田よりなるバンパ電極4を形成し、バンパ電極4を形成した半導体回路素子11をバンパ電極4がプリント基板3に当接するようにプリント基板3の所定位置に実装する。そして、半田リフローにてバンパ電極4の半田を溶解し、半導体回路素子11とプリント基板3とを接合するものである。

【0005】

【発明が解決しようとする課題】近年は電子機器の小型化の要求が高まり、半導体回路装置の分野でも半導体回路素子実装面積の小型化が要求されている。ところで、従来の半導体回路装置では半導体回路素子そのものの面積の他に、ワイヤボンディングやチップコートのための面積が必要となっている。そのため、複数の半導体回路素子を用いた場合にはチップコート等を含めた半導体回路装置のプリント基板上での占有する面積が大きなものとなってしまう、それを用いた電子機器の小型を阻害する要因の一つとなっていた。

【0006】そこで、この発明では半導体回路素子をよりコンパクトに実装できる半導体回路装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明は、半導体回路素子の下面に引出し用の電極が形成された第1の半導体回路素子をプリント基板に実装し、プリント基板の回路パターンと第1の半導体回路素子の引出し用電極を電気的に接続するとともに、該第1の半導体回路素子の上に絶縁部材を介して第2の半導体回路素子を実装し、第2の半導体回路素子とプリント基板の回路パターンをワイヤボンディング法にて接続したことを特徴とする。

【0008】

10 【作用】第1の半導体回路素子と第2の半導体回路素子が重なりあってプリント基板に配置されることにより、プリント基板上での半導体回路素子の占める面積が縮小する。

【0009】また、第1の半導体回路素子はワイヤレスボンディング方式によりプリント基板の回路パターンと接続し、第2の半導体回路素子はワイヤボンディング方式によりプリント基板の回路パターンと接続することにより、第1の半導体回路素子の引出し電極と第2の半導体回路素子のワイヤは短絡等を引き起こすことなく適正に配線される。

【0010】

【実施例】次にこの発明の第1の実施例について図面とともに詳細に説明する。図1はこの発明の半導体回路装置を示す断面図、図2はこの発明の半導体回路装置の製造工程を示す断面図、図5はこの発明の第2の実施例の半導体回路装置の製造工程を示す断面図である。

【0011】プリント基板には設計仕様に基づいて回路パターンが形成されている。そして、その回路パターンの中には半導体回路素子の電極と接続するための回路パターンも同時に形成されている。

30 【0012】図2(a)に示すように、プリント基板3に第1の半導体回路素子1をフリップチップ方式により接合した。フリップチップ方式では、第1の半導体回路素子1の下面に形成された電極に半田よりなるバンパ電極4を取り付けて、その第1の半導体回路素子1をバンパ電極4がプリント基板3上に形成された回路パターン8と当接するように実装する。その後半田リフローによりバンパ電極4の半田を溶解して回路パターン8と接合し、第1の半導体回路素子1とプリント基板3の機械的な接合および半導体回路素子の電極と回路パターン8の電気的な接続を得た。

40 【0013】図2(b)に示すように、第1の半導体回路素子1は熱硬化性のエポキシ樹脂等の封止樹脂6にて封止する。この封止工程は封止樹脂6を第1の半導体回路素子1の周辺に注入し、第1の半導体回路素子1を被覆保護する。ここで用いられる封止樹脂6は一般的に粘性の高いものであるために、プリント基板3上で注入した封止樹脂6の形状は、第1の半導体回路素子1の直上で最も高く、周辺部に行くほど低くなっていく山状の形状となっている。第1の半導体回路素子1の周囲には封

3

止樹脂6が必要以上に流れ出すのを防止するためにガードリング9を形成しておく。そして、封止樹脂6を注入したプリント基板3は熱硬化炉に入れて、封止樹脂6を硬化し、第1の半導体回路素子1の封止工程は終了する。

【0014】以上のようにして形成した封止樹脂6の頂上部分を図2(c)に示すように切削や研磨等の方法により、頂上に平坦部を形成する。

【0015】図2(d)に示すように、平坦部の上に第2の半導体回路素子2を実装する。この第2の半導体回路素子2は上面に外部と接続するための電極が形成されているものである。そして第2の半導体回路素子2の電極とプリント基板3の回路パターン8をワイヤボンディング法により接続する。ワイヤボンディング法は第2の半導体回路素子2の上面に形成された電極とプリント基板3上の回路パターン8とを金属性の細いワイヤ5で接続するものである。ワイヤ5としては25 μ m程度の太さのアルミニウムや金の金属材料よりなるワイヤ5を用いた。接続方法としては超音波熱圧着ボンディングにて行った。超音波熱圧着ボンディングはワイヤ5を回路パターン8に接続するためのエネルギーとして約150℃程度の温度と超音波を用い、ワイヤ5の先端に作られたボールを第2の半導体回路素子2の上面に形成された電極の圧着する。そして、プリント基板3の回路パターン8との接合はワイヤ5を挿通するキャピラリーの縁でワイヤ5を押しつぶすようにして圧着するようになる。

【0016】ワイヤボンディングを終了した第2の半導体回路素子2は、図2(e)に示すように、第2の半導体回路素子2本体およびワイヤ5を機械的に保護するためにチップコートを行う。第1の半導体回路素子1の封止で用いた方法と同様に、封止樹脂7として熱硬化性のエポキシ樹脂を半導体回路素子の周辺に注入し、硬化させることにより第2の半導体回路素子2およびワイヤ5の封止を行う。

【0017】以上のようにして図1に示すような半導体回路装置を構成したことにより、第1の半導体回路素子1の上に第2の半導体回路素子2が実装された状態となり、プリント基板3上での半導体回路素子の占有する面積が縮小する。

【0018】次に第2の実施例について図5とともに説明する。図5(a)に示すように第1の半導体回路素子1を実装する工程は第1の実施例と全く同様の方法で行った。そして、図5(b)に示すように、第1の半導体回路素子1のバンパ電極4を保護するために第1の半導体回路素子1の側面および下面を封止樹脂6で被覆する。封止樹脂6を硬化させる工程は第1の実施例と同様の方法で行う。そして図5(c)に示すように封止樹脂6の硬化が終了した後に第1の半導体回路素子1の上面を絶縁シート10で被覆する。この絶縁シート10は例えばゴム等の合成樹脂で形成した。そして図5(d)に

4

示すようにこの絶縁シート10の上に第2の半導体回路素子2を実装し、ワイヤボンディングを第1の実施例と同様の方法で行った。最後に図5(e)に示すように樹脂封止して半導体回路装置を完成する。

【0019】以上のような第2の実施例による構成としても第1の半導体回路素子1の上に第2の半導体回路素子2が実装された状態となり、プリント基板3上での半導体回路素子の占有する面積が縮小する。

【0020】以上の説明の中では、第1の半導体回路素子の引出し用電極とプリント基板の回路パターンとの接続方法としてフリップチップ方式による接続方法で説明してきたが、この発明はこのフリップチップ方式による接続方法に限定されるものではない。プリント基板の回路パターンの上にベDESTALを形成し、そのベDESTALに第1の半導体回路素子の電極を当接させて接合したベDESTAL方式により第1の半導体回路素子とプリント基板の回路パターンの接続を図ったものでも同様の効果を得られる。この他にも半導体回路素子の下面に引出し電極が形成された半導体回路素子をプリント基板に接続する方法であれば、この発明による効果が得られる。第1の半導体回路素子の引出し用電極とプリント基板の回路パターンの電気的な接続方法は設計者が任意に選択できるものである。

【0021】

【発明の効果】この発明によると、半導体回路素子の下面に電極が形成された第1の半導体回路素子をプリント基板の回路パターンと電気的に接続するように実装し、該第1の半導体回路素子の上に絶縁部材を介して第2の半導体回路素子を実装するとともに、第2の半導体回路素子とプリント基板の回路パターンをワイヤボンディング法にて接続したので、第1の半導体回路素子の上に第2の半導体回路素子が実装された状態となり、プリント基板上での半導体回路素子の占有する面積が縮小する。従って、この半導体回路装置を用いたプリント基板全体の小型化を図ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例の半導体回路装置を示す断面図である。

【図2】この発明の第1の実施例の半導体回路装置の製造段階を示す断面図である。

【図3】従来のフリップチップ方式による半導体回路装置を示す断面図である。

【図4】従来のワイヤボンディング法で接続した半導体回路装置を示す断面図である。

【図5】この発明の第2の実施例の半導体回路素子の製造段階を示す断面図である。

【符号の説明】

- 1 第1の半導体回路素子
- 2 第2の半導体回路素子
- 3 プリント基板

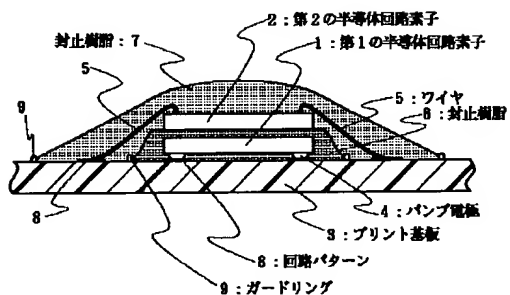
5

6

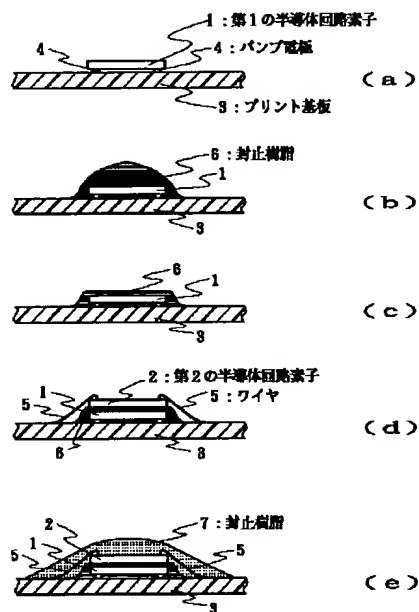
- 4 バンプ電極
5 ワイヤ
6、7 封止樹脂
8 回路パターン

- 9 ガードリング
10 絶縁シート
11 半導体回路素子

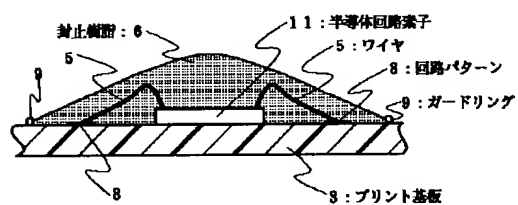
【図1】



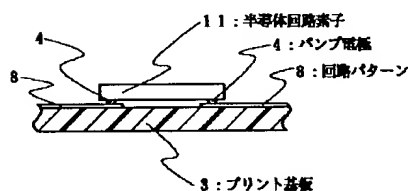
【図2】



【図3】



【図4】



【図5】

